

Title of the Prior Art

Japanese Published Patent Application No.2002-251301

Date of Publication: September 6, 2002

Concise Statement of Relevancy

Translation of Paragraph [0022]

[0022]

As illustrated in Figure 1, the reset terminal 10b of the CPU 10 described above is connected through the inverter 28 to the output terminal of the hiss-equipped comparator 24. A signal according to a result of comparison between the condenser voltage VCT and the standard voltages VTL1 and VTH 1 in the hiss-equipped comparator 24 (hereinafter referred to as a reset signal) is supplied to the reset terminal 10b. When the state of the supplied reset signal is changed from high to low, the CPU 10 performs reset-startup as abnormality or runaway occurs in itself.



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002251301 A**(43) Date of publication of application: **06.09.02**

(51) Int. Cl

G06F 11/30
G06F 1/28
G06F 1/24
// G05F 1/10
G05F 3/30

(21) Application number: **2001047361**(71) Applicant: **TOYOTA MOTOR CORP**(22) Date of filing: **22.02.01**(72) Inventor: **HOSHIKAWA CHIKASHIGE**

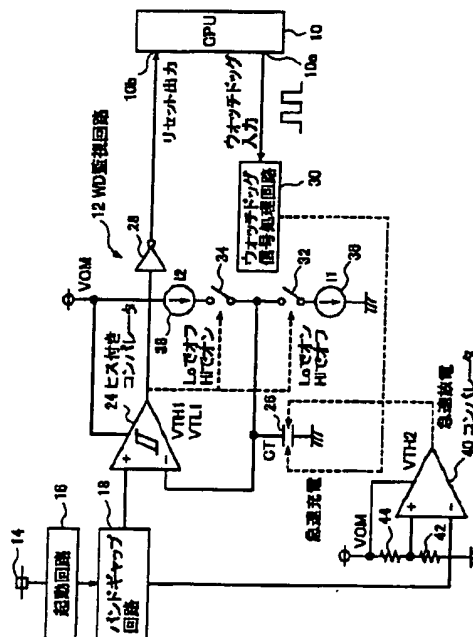
(54) CPU MONITORING CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To prevent monitoring time for detecting a CPU clock signal from fluctuating even though battery voltage fluctuates with respect to a CPU monitoring circuit.

SOLUTION: A WD monitoring circuit 12 is provided with a capacitor 26 that is discharged in a normal state and charged when a WD signal issued by a CPU 10 in a prescribed cycle is supplied, and a comparator with hysteresis 24 for comparing the voltage of the capacitor 26 with a reference voltage and requesting the CPU 10 to perform reset start when the voltage of the capacitor 26 falls down to the reference voltage. The reference voltage is made to be the voltage based on bandgap voltage VOUT.

COPYRIGHT: (C)2002,JPO



【特許請求の範囲】

【請求項1】 CPUの発するクロック信号に従って充放電が行われる容量性素子と、前記容量性素子の電圧を所定の基準電圧と比較する第1のコンパレータと、を備え、前記第1のコンパレータの比較結果に応じて前記CPUに対してリセット信号を供給するCPU監視回路であって、

前記所定の基準電圧が、バンドギャップ電圧に基づいた電圧であることを特徴とするCPU監視回路。

【請求項2】 請求項1記載のCPU監視回路において、

前記第1のコンパレータの電源電圧の低下を監視すべく、該電源電圧をバンドギャップ電圧に基づいた電源比較基準電圧と比較する第2のコンパレータを備え、前記所定の基準電圧が、前記電源比較基準電圧よりも低く設定されていることを特徴とするCPU監視回路。

【請求項3】 CPUの発するクロック信号に従って充放電が行われる容量性素子と、前記容量性素子の電圧を第1及び第2の基準電圧と比較するヒス付きコンパレータと、を備え、前記容量性素子の電圧が前記第1又は第2の基準電圧から前記第2又は第1の基準電圧に達した場合に前記CPUに対してリセット信号を供給するCPU監視回路であって、

前記第1及び第2の基準電圧がそれぞれ、バンドギャップ電圧に基づいた電圧であることを特徴とするCPU監視回路。

【請求項4】 請求項3記載のCPU監視回路において、

前記ヒス付きコンパレータの電源電圧の低下を監視すべく、該電源電圧をバンドギャップ電圧に基づいた電源比較基準電圧と比較する監視用コンパレータを備え、前記第1及び第2の基準電圧がそれぞれ、前記電源比較基準電圧よりも低く設定されていることを特徴とするCPU監視回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CPU監視回路に係り、特に、CPUから発せられるクロック信号に従って充放電が行われる容量性素子の電圧変化に基づいて、CPUの作動状態を判定・監視するCPU監視回路に関する。

【0002】

【従来の技術】従来より、例えば特開平8-110867号公報に開示される如く、コンデンサの充放電を利用してCPUの作動状態を監視するCPU監視回路が知られている。このCPU監視回路は、CPUが作動時に一定周期毎に発するクロック信号を検出する検出回路と、常態で放電され、CPUのクロック信号が検出された場合に充電されるコンデンサと、コンデンサの電圧を所定の基準電圧と比較するコンパレータと、を備えている。

この回路において、CPUのクロック信号が検出されず、コンデンサが充電されない事態が継続すると、コンデンサの電圧が低下し、所定の基準電圧まで低下することとなる。この際、コンパレータは、CPUに対してリセット起動を促すリセット信号を供給する。従って、上記従来の回路によれば、CPUのクロック信号が検出されない事態を異常として判定することができ、CPUの作動状態を監視することが可能となる。

【0003】

【発明が解決しようとする課題】一般に、コンパレータの基準電圧は、バッテリー電圧により生成される。例えば、上記したCPUが車両に搭載される場合には、14V程度のバッテリー電圧から、5V程度のコンパレータ基準電圧が生成される。ところで、車両に搭載されるバッテリー電圧は、エンジン始動時のクランキング等に起因して5V以下まで大きく低下する場合がある。かかる事態が生ずると、その際、或いは、その後バッテリー電圧が回復した際に、コンパレータの基準電圧が変動してしまう。

【0004】コンパレータの基準電圧が変動すると、コンデンサの電圧がその基準電圧に達するまでの期間（すなわち、クロック信号の監視時間）が短くなることがある。このため、CPUが正常に動作し正常な周期でクロック信号を出力するにもかかわらず、クロック信号が検出される前にコンデンサ電圧が基準電圧まで低下し、その結果、監視回路からCPUへリセット信号が供給されてしまうおそれがある。

【0005】本発明は、上述の点に鑑みてなされたものであり、バッテリー電圧の変動が生じて、CPUのクロック信号を検出するための監視時間が変動するのを防止することができるCPU監視回路を提供することを目的とする。

【0006】

【課題を解決するための手段】上記の目的は、請求項1に記載する如く、CPUの発するクロック信号に従って充放電が行われる容量性素子と、前記容量性素子の電圧を所定の基準電圧と比較する第1のコンパレータと、を備え、前記第1のコンパレータの比較結果に応じて前記CPUに対してリセット信号を供給するCPU監視回路であって、前記所定の基準電圧が、バンドギャップ電圧に基づいた電圧であることを特徴とするCPU監視回路により達成される。

【0007】本発明において、第1のコンパレータは、容量性素子の電圧を、バンドギャップ電圧に基づいた所定の基準電圧と比較する。CPU監視回路は、第1のコンパレータの比較結果に応じてCPUへリセット信号を供給する。バンドギャップ電圧は、一般に約1.2V程度の低い電圧であるので、電源電圧が低下した場合にもその影響を受けることはほとんどない。このため、本発明によれば、電源電圧が変動しても、第1のコンパレー

タの基準電圧が変動するのを回避することができ、クロック信号の監視時間の変動を防止することができる。

【0008】この場合、請求項2に記載する如く、請求項1記載のCPU監視回路において、前記第1のコンパレータの電源電圧の低下を監視すべく、該電源電圧をバンドギャップ電圧に基づいた電源比較基準電圧と比較する第2のコンパレータを備え、前記所定の基準電圧が、前記電源比較基準電圧よりも低く設定されていることとしてもよい。

【0009】また、上記の目的は、請求項3に記載する如く、CPUの発するクロック信号に従って充放電が行われる容量性素子と、前記容量性素子の電圧を第1及び第2の基準電圧と比較するヒス付きコンパレータと、を備え、前記容量性素子の電圧が前記第1又は第2の基準電圧から前記第2又は第1の基準電圧に達した場合に前記CPUに対してリセット信号を供給するCPU監視回路であって、前記第1及び第2の基準電圧がそれぞれ、バンドギャップ電圧に基づいた電圧であることを特徴とするCPU監視回路により達成される。

【0010】本発明において、容量性素子の電圧は、ヒス付きコンパレータにより、バンドギャップ電圧に基づいた第1及び第2の基準電圧と比較される。CPU監視回路は、容量性素子の電圧が第1又は第2の基準電圧から第2又は第1の基準電圧に達した場合、コンパレータ側からCPUへリセット信号信号を供給する。バンドギャップ電圧は、一般に約1.2V程度の低い電圧であるので、電源電圧が低下した場合にもその影響を受けることはほとんどない。このため、本発明によれば、電源電圧が変動しても、コンパレータの基準電圧が変動するのを回避することができ、クロック信号の監視時間の変動を防止することができる。

【0011】この場合、請求項4に記載する如く、請求項3記載のCPU監視回路において、前記ヒス付きコンパレータの電源電圧の低下を監視すべく、該電源電圧をバンドギャップ電圧に基づいた電源比較基準電圧と比較する監視用コンパレータを備え、前記第1及び第2の基準電圧がそれぞれ、前記電源比較基準電圧よりも低く設定されていることとしてもよい。

【0012】

【発明の実施の形態】図1は、本発明の一実施例のシステム構成図を示す。本実施例のシステムは、例えば車載コンピュータとして車両に搭載されるシステムである。本実施例のシステムは、中央演算処理装置（以下、CPUと称す）10、及び、ウォッチドッグ監視回路（以下、WD監視回路と称す）12を備えている。また、本実施例のシステムは、1.4V程度のバッテリー電圧を有するバッテリー電源14を備えている。CPU10には、バッテリー電圧から降圧された所定の電圧VOM（例えば5V）が供給される。CPU10は、ウォッチドッグ端子（以下、WD端子と称す）10aを有している。CPU

10は、自己が正常に作動している間、所定周期毎にパルス状のウォッチドッグ信号（以下、WD信号と称す）をWD端子10aから出力する。

【0013】バッテリー電源14には、車両のイグニションスイッチがオンされることによりバッテリー電圧が供給される起動回路16が接続されている。起動回路16は、バッテリー電圧が供給されることにより起動され、5V程度の電圧を発生する回路である。起動回路16には、バンドギャップ回路18が接続されている。バンドギャップ回路18は、起動回路16で生成された電圧からバンドギャップ電圧VOUを生成する回路である。

【0014】図2は、本実施例のバンドギャップ回路18の内部構成図を示す。図2に示す如く、バンドギャップ回路18は、シリコンを材料として構成されたnpn型のトランジスタQ10を備えている。起動回路16の出力端子は、トランジスタQ10のコレクタに接続していると共に、定電流源20を介してトランジスタQ10のベースに接続している。トランジスタQ10のエミッタは、抵抗R10を介してnpn型のトランジスタQ12のコレクタ及びベースに接続している。トランジスタQ12のエミッタは接地されている。トランジスタQ10のエミッタは、また、抵抗R12を介してnpn型のトランジスタQ14のコレクタに接続している。トランジスタQ14は、上記したトランジスタQ12と同一形状を有している。トランジスタQ14のベースはトランジスタQ12のベースに接続している。また、エミッタは抵抗R14を介して接地されている。

【0015】トランジスタQ10のエミッタは、更に、抵抗R16を介してpnp型のトランジスタQ16のエミッタに接続していると共に、抵抗R18を介してpnp型のトランジスタQ18のエミッタに接続している。トランジスタQ16のベースは、トランジスタQ18のベースに接続していると共に、自己のコレクタに接続している。トランジスタQ16のコレクタは、npn型のトランジスタQ20のコレクタに接続している。トランジスタQ20のベースは、上記したトランジスタQ12及びQ14のベースに接続している。また、トランジスタQ18のコレクタは、npn型のトランジスタQ22のコレクタに接続している。トランジスタQ20のエミッタ及びトランジスタQ22のエミッタは共に、抵抗R20を介して接地されている。

【0016】トランジスタQ22のコレクタは、コンデンサ22を介してベースに接続している。トランジスタQ22のベースは、上記したトランジスタQ14のコレクタに接続している。トランジスタQ22のコレクタは、また、pnp型のトランジスタQ24のベースに接続している。トランジスタQ24のコレクタは接地されている。また、エミッタは、npn型のトランジスタQ26のエミッタに接続している。トランジスタQ26のコレクタは、ベースに接続していると共に、上記した定

電流源20及びトランジスタQ10のベースに接続している。

【0017】かかるバンドギャップ回路18においては、抵抗R12に流れる電流と抵抗R14に流れる電流が略等しくなると共に、トランジスタQ12とQ14とが同一形状を有しているため、それらのベース・エミッタ間の飽和電流は略等しくなる。従って、バンドギャップ回路18においては、起動回路16から電圧が供給されると、トランジスタQ10のエミッタに、次式(1)に示す電圧VO_{UT}が現れる。

【0018】 $VO_{UT} = V_{BE1} + R_2 / R_3 \cdot kT / q \cdot \ln(R_2 / R_1) \cdots (1)$ 但し、 V_{BE1} はトランジスタQ12のベース・エミッタ間電圧、 R_1 は抵抗R10の抵抗値、 R_2 は抵抗R12の抵抗値、 R_3 は抵抗R14の抵抗値、 k はボルツマン定数、 T は絶対温度、また、 q は電子の電荷を、それぞれ表している。

【0019】この電圧VO_{UT}は、バンドギャップ電圧として、温度特性がほぼゼロの基準電圧となる。具体的には、トランジスタQ12及びQ14がシリコンを材料として構成されているので、約1.2V程度の電圧となる。

【0020】図1に示す如く、バンドギャップ回路18には、上記したWD監視回路12が接続されている。WD監視回路12は、ヒステリシス付きコンパレータ(以下、単にヒス付きコンパレータと称す)24を備えている。ヒス付きコンパレータ24には、バッテリー電源14から生成された5V程度の電源電圧VOMが電源として供給されている。ヒス付きコンパレータ24の非反転入力端子には、バンドギャップ回路18で生成されたバンドギャップ電圧VO_{UT}に基づいた2つの基準電圧VTL1、VTH1($VTL1 < VTH1$)が供給されている。また、この2つの基準電圧VTL1、VTH1は、ヒス付きコンパレータ24の出力によって切り替わる。反転入力端子には、一端が接地されたコンデンサ26の他端が接続されており、コンデンサ26の他端に生ずる電圧(以下、コンデンサ電圧と称す)VCTが供給される。コンデンサ26は、所定の容量を有している。ヒス付きコンパレータ24は、コンデンサ電圧を監視する回路である。

【0021】図3は、本実施例のヒス付きコンパレータ24の入出力特性を表した図を示す。図3に示す如く、ヒス付きコンパレータ24は、出力がロー状態にある状況下において、コンデンサ電圧VCTがVTL1を超えている場合は出力をロー状態に維持し、VTL1以下となる場合に出力をハイ状態に切り替える。また、出力がハイ状態にある状況下において、コンデンサ電圧VCTがVTH1を下回っている場合は出力をハイ状態に維持し、VTH1以上となる場合に出力をロー状態に切り替える。

【0022】図1に示す如く、ヒス付きコンパレータ2

4の出力端子には、インバータ28を介して上記したCPU10のリセット端子10bが接続されている。リセット端子10bには、ヒス付きコンパレータ24におけるコンデンサ電圧VCTと基準電圧VTL1、VTH1との比較結果に応じた信号(以下、リセット信号と称す)が供給される。CPU10は、供給されたリセット信号がハイ状態からロー状態に変化した場合には、自己に異常・暴走が生じたとしたリセット起動を行う。

【0023】WD監視回路12は、また、CPU10のWD端子10aから出力されたWD信号が入力するウォッチドッグ信号処理回路(以下、WD信号処理回路と称す)30を備えている。WD信号処理回路30は、CPU10から供給されるWD信号の立ち下がりを見出し、WD信号が立ち下がった場合にトリガ信号を出力する回路である。WD信号処理回路30がトリガ信号を出力すると、上記したコンデンサ26は急速充電される。WD監視回路12は、コンデンサ電圧VCTがヒス付きコンパレータ24の基準電圧VTH1に達したか否かを判定する比較回路(図示せず)を有している。この比較回路においてコンデンサ電圧VCTが基準電圧VTH1に達すると、コンデンサ26の充電は解除され、コンデンサ26の放電が開始される。

【0024】コンデンサ26の他端には、ヒス付きコンパレータ24の反転入力端子と共に、スイッチ32、34の一端が接続されている。スイッチ32の他端は、交流電流源36を介して接地されている。また、スイッチ34の他端は、交流電流源38を介して電源電圧VOMが接続されている。スイッチ32は、ヒス付きコンパレータ24の出力がハイ状態にある場合にオフ状態に維持され、ロー状態にある場合にオン状態となるスイッチである。一方、スイッチ34は、ヒス付きコンパレータ24の出力がハイ状態にある場合にオン状態となり、ロー状態にある場合にオフ状態に維持されるスイッチである。

【0025】WD監視回路12は、更に、コンパレータ40を備えている。コンパレータ40は、電源電圧VOMが低電圧に低下したか否かを監視するための回路である。コンパレータ40の反転入力端子には、バンドギャップ回路18が接続されており、バンドギャップ電圧VO_{UT}が供給されている。コンパレータ40の非反転入力端子は、抵抗42を介して接地されていると共に、抵抗44を介して電源電圧VOMに接続されている。また、コンパレータ40には、電源電圧VOMが電源として供給されている。コンパレータ40は、電源電圧VOMが4V程度に設定されたしきい値VTH2以下にあるか否かを判定し、 $VOM \leq VTH2$ が成立する場合にコンデンサ26を急速放電させるための信号を出力する。

【0026】次に、図4を参照して、本実施例のWD監視回路12の動作について説明する。図4は、本実施例のWD監視回路12の動作を説明するためのタイムチャ

ートを示す。尚、図4には、CPU10からWD信号が入力されない状況下における各部位の電圧がそれぞれ示されている。

【0027】ヒス付きコンパレータ24の出力がロー状態にある状況下においては、CPU10に供給されるリセット信号がハイ状態に維持される。この際、CPU10は、正常に動作していると判定する。また、かかる状況下では、スイッチ32がオン状態となり、スイッチ34がオフ状態となるので、コンデンサ26は放電状態となる。かかる状態でWD監視回路12にWD信号が入力されない場合は、コンデンサ電圧VCTが低下し、いず

れ基準電圧VTL1に達する。コンデンサ電圧VCTが基準電圧VTL1まで低下すると、ヒス付きコンパレータ24の出力がロー状態からハイ状態に切り替わる(図4において時刻t1)。

【0028】ヒス付きコンパレータ24の出力がオン状態に変化すると、CPU10に供給されるリセット信号がロー状態となる。この際、CPU10は、異常・暴走したと判定し、リセット起動を行う。また、かかる状況下では、スイッチ32がオフ状態となり、スイッチ34がオン状態となるので、コンデンサ26は電源電圧VOMの供給を受けて充電状態となる。コンデンサ26の充電が継続し、コンデンサ電圧VCTが基準電圧VTH1に達すると、ヒス付きコンパレータ24の出力がオン状態からオフ状態に切り替わる(図4において時刻t2)。

【0029】ヒス付きコンパレータ24の出力がオフ状態に変化すると、CPU10にハイ状態のリセット信号が供給され、CPU10がリセット状態を解除され、正常状態に復帰する。また、コンデンサ26の充電が解除され、スイッチ32がオン状態となり、かつ、スイッチ34がオフ状態となるので、コンデンサ26が再び放電状態となる。そして、WD監視回路12にWD信号が入力されない場合は、コンデンサ電圧VCTが基準電圧VTL1に低下するまでその放電が継続する(図4において時刻t3)。以下、同様に、WD監視回路12にWD信号が入力されない場合は、上述した処理が繰り返される。

【0030】このようにWD監視回路12においては、WD信号が入力されない場合、コンデンサ電圧VCTが基準電圧VTH1からVTL1へ達する毎に、CPU10のリセット起動を指示する信号が出力される。一方、WD信号が供給されると、コンデンサ26は急速充電される。このため、本実施例のWD監視回路12においては、コンデンサ電圧VCTが基準電圧VTL1に達する前に、CPU10からWD信号が出力され、WD監視回路12に供給されれば、コンデンサ26が急速充電され、コンデンサ電圧VCTが基準電圧VTL1に達することなく上昇する。この場合、CPU10のリセット起動を指示する信号が出力されるのは回避される。

【0031】すなわち、WD監視回路12は、コンデンサ電圧VCTが基準電圧VTH1からVTL1へ達するまでにCPU10からWD信号が供給されるか否かに基づいてCPU10の作動状態を判定する回路である。具体的には、コンデンサ電圧VCTが基準電圧VTL1に達しない場合にはCPU10の作動状態が正常であると判定し、一方、コンデンサ電圧VCTが基準電圧VTL1に達した場合にCPU10の作動状態が異常であると判定する。このように本実施例のWD監視回路12によれば、コンデンサ26の充放電を利用してCPU10の作動状態を監視することが可能となる。

【0032】尚、本実施例において、コンデンサ電圧VCTが基準電圧VTH1からVTL1へ達する時間(図4においてt3-t2;以下、監視時間Tと称す)は、予め所定の時間が実現されるように、基準電圧VTH1、VTL1の値及び交流電流源36の電流I1により適当に設定されている。また、CPU10がWD信号を出力する時間周期は、監視時間Tに比して短い周期に設定されている。

【0033】ところで、本実施例のシステムは、上述の如く、車両に搭載されるシステムであるため、バッテリー電源14のバッテリー電圧が、エンジン始動時におけるクランキングに起因して大きく低下する場合、具体的には、14V程度から5Vを下回るほどに低下する場合がある。

【0034】図5は、本実施例のWD監視回路12と対比される、非反転入力端子に電源電圧VOMに基づいた2つの基準電圧VTL1、VTH1が供給されるヒス付きコンパレータ24を備えるWD監視回路(以下、対比監視回路と称す)の動作を説明するためのタイムチャートを示す。尚、図5には、図4の場合と同様に、CPU10からWD信号が入力されない状況下における各部位の電圧がそれぞれ示されている。また、以下の記載においては、対比監視回路が、非反転入力端子に電源電圧VOMに基づいた2つの基準電圧VTL1、VTH1が供給されるヒス付きコンパレータ24を備えていることを除いて、上記図1に示すWD監視回路12と同一の構成を有しているものとする。

【0035】上述の如く、バッテリー電源14から生成される電源電圧VOMは、常態で5V程度に設定されている。従って、対比監視回路において、バッテリー電圧が5Vを下回ると、それに伴って電源電圧VOMが5Vを下回り、電源電圧VOMに基づいたヒス付きコンパレータ24の基準電圧VTL1、VTH1が変動することとなる。また、その後、バッテリー電圧が常態の14Vに回復した場合(図5において時刻t4)にも、それに伴って電源電圧VOMが常態の5Vに復帰し、ヒス付きコンパレータ24の基準電圧VTL1、VTH1が変動することとなる。

【0036】かかる基準電圧VTL1、VTH1の変動

が、図 5 に示す時刻 t_4 にコンデンサ 26 が放電されている状況下で生ずると、コンデンサ電圧 V_{CT} が基準電圧 V_{TH1} から基準電圧 V_{TL1} に達する監視時間が短くなる（図 5 における斜線部分）。このため、CPU 10 が正常に動作し正常な周期で WD 信号を出力していても、対比監視回路に WD 信号が供給される前にコンデンサ電圧 V_{CT} が基準電圧 V_{TL1} まで低下することがある。この場合には、ヒス付きコンパレータ 24 の出力がハイ状態となるので、CPU 10 へ供給されるリセット信号がロー状態となり、CPU 10 がリセット起動されてしまう。従って、CPU 10 の作動状態を監視する WD 監視回路においては、バッテリー電圧に変動が生じて

も、ヒス付きコンパレータ 24 の基準電圧 V_{TL1} 、 V_{TH1} が変動しない構成を有することが望ましい。

【0037】そこで、本実施例の WD 監視回路 12 は、バッテリー電圧に変動が生じて、ヒス付きコンパレータ 24 の基準電圧 V_{TL1} 、 V_{TH1} が変動しない構成を有する点に特徴を有している。

【0038】本実施例の WD 監視回路 12 において、ヒス付きコンパレータ 24 の非反転入力端子には、1.2 V 程度のバンドギャップ電圧 V_{OUT} を基に作成した 2 つの基準電圧 V_{TL1} 、 V_{TH1} が供給される。尚、この基準電圧 V_{TL1} 、 V_{TH1} を 1.2 V 以下の低電圧に設定することがバッテリー電圧の変動の影響を受け難くする点で好ましいことが、実験的に解かっている。本実施例においては、例えば、基準電圧 V_{TL1} が 0.7 V、基準電圧 V_{TH1} が 1.0 V に設定される。このため、WD 監視回路 12 においては、バッテリー電圧が 5 V を下回ることにより電源電圧 V_{OM} が 5 V を下回った際、また、その後バッテリー電圧が回復することにより電源電圧 V_{OM} が 5 V に復帰した際にも、その基準電圧 V_{TL1} 、 V_{TH1} に変動が生ずることはない。

【0039】従って、本実施例においては、バッテリー電圧に変動が生じた際に、コンデンサ電圧 V_{CT} が基準電圧 V_{TH1} から基準電圧 V_{TL1} に達する監視時間が短くなることが防止される。このため、本実施例の WD 監視回路 12 によれば、CPU 10 が正常に動作し正常な周期で WD 信号を出力する状況下において、バッテリー電圧の変動に伴ってコンデンサ電圧 V_{CT} が WD 信号の供給前に基準電圧 V_{TL1} まで低下することはなく、CPU 10 を誤ってリセット起動させる事態を回避することができる。

【0040】また、バッテリー電圧に変動が生じた際にコンデンサ電圧 V_{CT} についての監視時間が変動する場合には、CPU 10 にリセット起動を指示する信号が誤って供給されるのを回避すべく、コンデンサ電圧 V_{CT} についての監視時間を長期間に設定する必要がある。これに対して、本実施例においては、上述の如く、バッテリー電圧に変動が生じて監視時間が変動することが防止されるため、監視時間を長期間に設定することは不要であ

る。すなわち、本実施例の WD 監視回路 12 によれば、コンデンサ電圧 V_{CT} についての監視時間を比較的短く設定することができ、その結果、CPU 10 の異常・暴走状態を早期に検出することが可能となる。従って、WD 監視回路 12 においては、CPU 10 の作動状態を監視する回路として性能の向上が図られていることとなる。

【0041】尚、上記の実施例においては、WD 監視回路 12 が特許請求の範囲に記載された「CPU 監視回路」に、CPU 10 が所定周期で出力する WD 信号が特許請求の範囲に記載された「クロック信号」に、コンデンサ 26 が特許請求の範囲に記載された「容量性素子」に、ヒス付きコンパレータ 24 が特許請求の範囲に記載された「第 1 のコンパレータ」に、コンパレータ 40 が特許請求の範囲に記載された「第 2 のコンパレータ」及び「監視用コンパレータ」に、バンドギャップ回路 18 で生成されたバンドギャップ電圧 V_{OUT} に基づいたヒス付きコンパレータ 24 における基準電圧 V_{TL1} 、 V_{TH1} が特許請求の範囲に記載された「所定の基準電圧」、「第 1 の基準電圧」、及び「第 2 の基準電圧」に、バンドギャップ電圧 V_{OUT} が特許請求の範囲に記載された「電源比較基準電圧」に、それぞれ相当している。

【0042】ところで、上記の実施例においては、コンデンサ 26 を、CPU 10 から WD 信号が供給された場合に充電し、コンデンサ電圧 V_{CT} が基準電圧 V_{TH1} に達した後に放電し、また、コンデンサ電圧 V_{CT} が基準電圧 V_{TL1} まで低下した場合に CPU 10 にリセット起動を指示する信号を出力することとしているが、逆に、コンデンサ 26 を、CPU 10 から WD 信号が供給された場合に放電し、コンデンサ電圧 V_{CT} が基準電圧 V_{TL1} に達した後に充電し、また、コンデンサ電圧 V_{CT} が基準電圧 V_{TH1} まで上昇した場合に CPU 10 にリセット起動を指示する信号を出力することとしてもよい。

【0043】また、上記の実施例においては、コンデンサ電圧 V_{CT} と基準電圧との比較をヒステリシス付きのコンパレータ 24 を用いて行うこととしているが、単に大小比較を行うコンパレータを組み合わせることでコンデンサ電圧 V_{CT} と基準電圧との比較を行うこととしてもよい。

【0044】更に、上記の実施例は、車両に搭載されるシステムに適用することとしているが、本発明はこれに限定されるものではなく、車両以外のシステムに適用することも可能である。

【発明の効果】上述の如く、請求項 1 乃至 4 記載の発明によれば、バッテリー電圧の変動が生じて、CPU のクロック信号を検出するための監視時間が変動するのを防止することができる。

【図面の簡単な説明】

【図1】本発明の一実施例のCPU監視回路を備えるシステムの構成図である。

【図2】本実施例のCPU監視回路が備えるバンドギャップ回路の内部構成図である。

【図3】本実施例のヒス付きコンパレータの入出力特性を表した図である。

【図4】本実施例のCPU監視回路の動作を説明するためのタイムチャートである。

【図5】対比監視回路の動作を説明するためのタイムチ

ャートである。

【符号の説明】

10 CPU

12 WD監視回路（ウォッチドッグ監視回路）

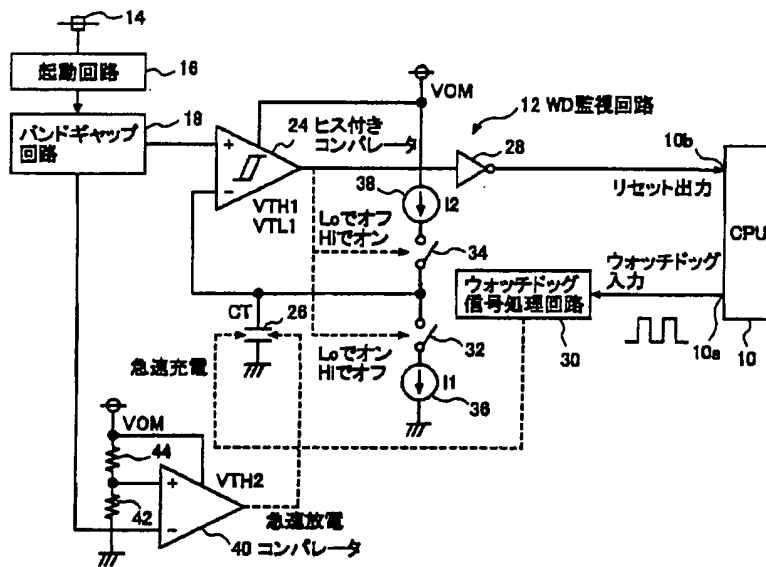
14 バッテリ電源

24 ヒス付きコンパレータ（ヒステリシス付きコンパレータ）

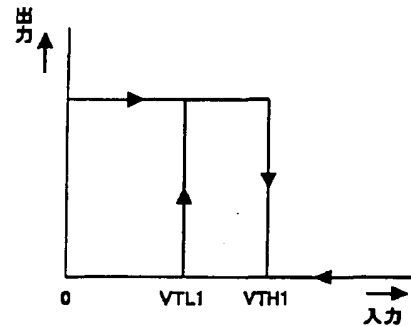
26 コンデンサ

40 コンパレータ

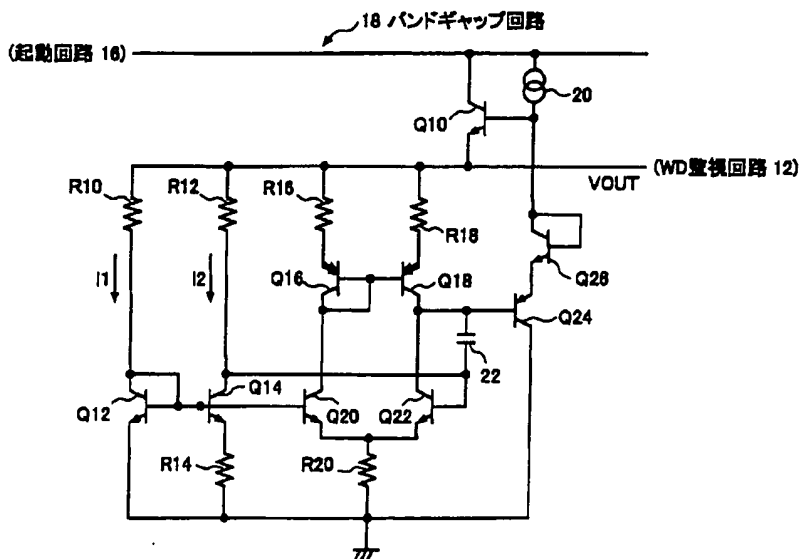
【図1】



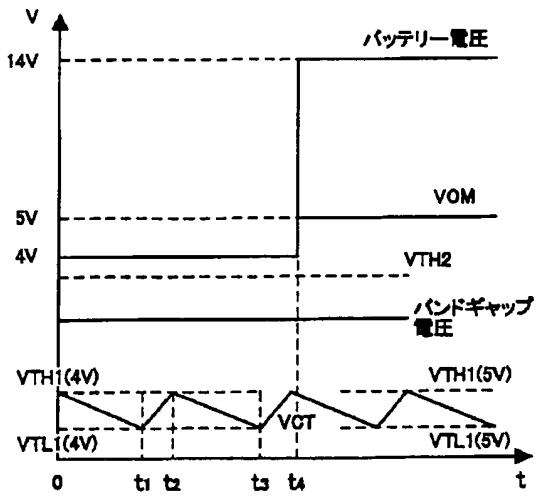
【図3】



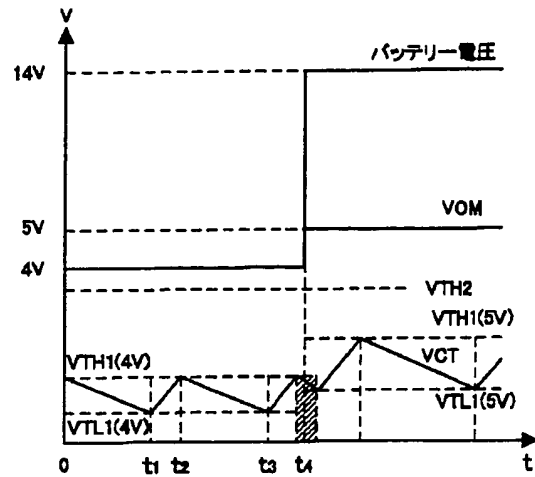
【図2】



【図 4】



【図 5】



フロントページの続き

(51) Int. Cl.⁷

識別記号

F I

テマコード (参考)

G 0 5 F 3/30

G 0 6 F 1/00

3 5 0 B

F ターム (参考) 5B011 DA06 DA13 GG04 KK02
 5B042 GA38 GB08 JJ21 KK02
 5B054 CC01 DD13 DD25
 5H410 BB02 CC02 CC09 EA10 EA12
 FF03 FF26 HH01 LL01 LL12
 LL20
 5H420 NA23 NA24 NB12 NB24 NC12
 NC23 NC26 NE13 NE17 NE28